



# CNN 하드웨어 가속기 구현

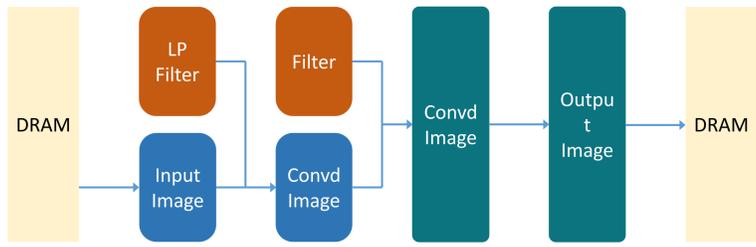
윤민, 임승범, 노정원, 이종열  
전북대학교 전자공학부

## Abstract

The Convolutional Neural Network (CNN) algorithm is one of the best methods of machine vision. However, it is also one of the time consuming algorithms due to the huge amount of convolution calculations. This paper presents a method to reduce the time required for the CNN algorithm by designing an IC chip specialized for convolution calculations. This article explains how to reduce the execution time based on pipelining and DRAM access minimization. The proposed CNN Hardware Accelerator is implemented using CMOS 180nm process. The circuit type is digital circuit and the power supply voltage is 3.3V. The maximum operating frequency is 25MHz.

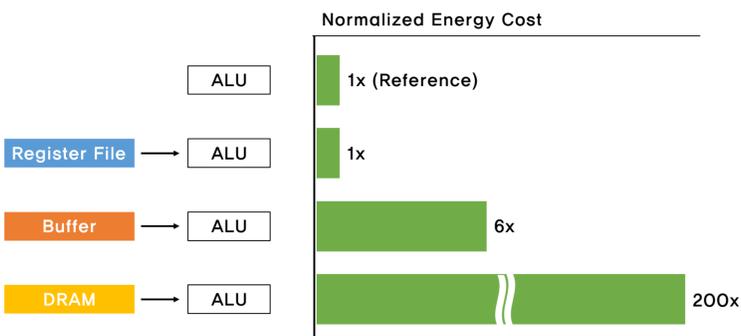
## CNN 아키텍처

CNN 은 Convolution, Max Pooling 연산을 수행한다. Machine learning은 크게 3가지 과정으로 이루어진다. 연산은 간단하지만 연산 량 이 너무 많아 시간이 오래 걸리는 Convolution 연산을 하드웨어 가속기로 구현하는 것이 목적이다.



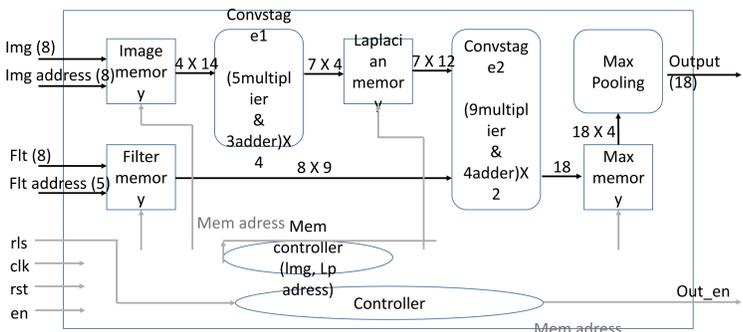
[CNN 알고리즘 데이터 플로우]

폰 노이만 구조는 DRAM을 이용하여 인공지능 학습 연산을 진행한다. 아래 그림을 참조하면 DRAM에서 연산을 수행할 경우 Register에 비해서 최소 200배 에너지가 소모된다.



[CNN 하드웨어 구조에 따른 에너지 효율]

제안한 CNN 구조는 한 번의 Convolution을 수행하는 데 9개의 Multiplier와 4개의 Adder를 사용하였다.

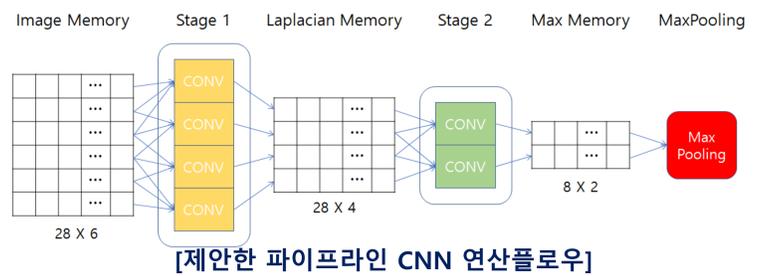


[CNN 하드웨어 구조]

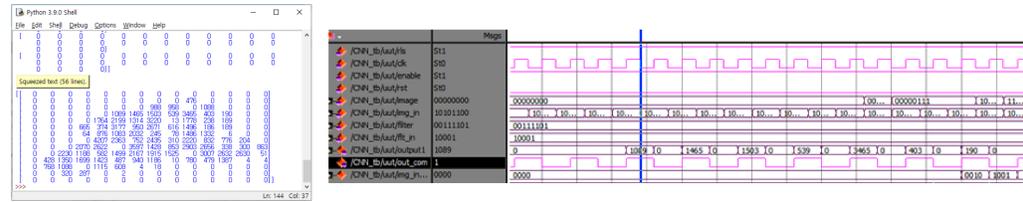
## Conclusions

본 연구에서는 CNN 모델의 Convolution과 MaxPooling을 포함한 Layer 한 개의 역할을 대신하는 IC Chip을 설계했다. 프로젝트 규모의 한계로 인해 한 층의 Layer 밖에 설계하지 못했지만, 똑같은 구조로 여러 개 만듦으로써 여러 개의 Layer를 표현할 수 있고, 컨트롤러와 메모리 크기의 값을 조금 조정하여 다른 크기의 이미지를 처리하도록 설계할 수 있다. 그 결과 이 프로젝트의 알고리즘을 그대로 사용하여 다른 영상처리를 수행에 적용하는 것이 가능할 것이다. 향후에는 Convolution 기능뿐만 아니라 입력한 데이터에 대해서 학습까지 가능한 CNN의 기능 전체를 수행할 수 있는 IC Chip을 설계하는 것이 목표이다.

## 시뮬레이션 및 구현 결과

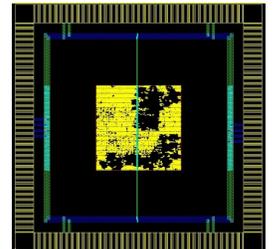


[제안한 파이프라인 CNN 연산플로우]



[시뮬레이션 결과]

|                     |               |
|---------------------|---------------|
| Total Dynamic Power | 12.5 mW       |
| Total area          | 71316.7 Gates |
| Operating Frequency | 25MHz         |
| Input ports         | 30            |
| Output ports        | 18            |
| Cell Core Size      | 1085 x 1085   |

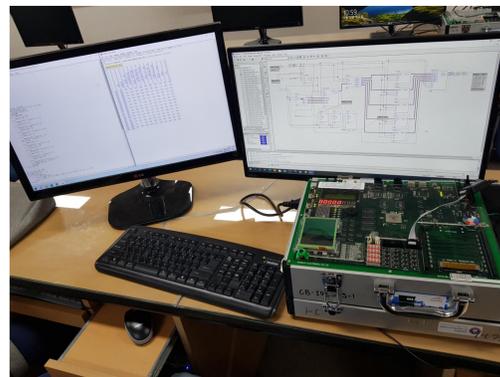


[구현 결과]

RaspberryPi에서 GPIO를 이용해 FPGA에 데이터 전송, 전송받은 데이터를 CNN 에 전달 후 Convolution 연산 후 다시 Raspberry Pi의 학습 모델의 2층으로 가도록 테스트 환경 구축



```
'000' '000' '000' '000' '1dc' '000' '000'
'000' '000' '3dc' '3be' '000' '440' '000'
441' '5b9' '5df' '21b' d89' '193' '0be'
'897' '522' 'c94' '00d' '612' '0ee' '0bd'
'c69' '3b6' 'a6f' '268' '5d8' '0ba' '0bd'
```



[테스트 결과]

## References

- [1] S. S. Kim, and H. W. Jeon. "An Implementation of the CNN Hardware and the Pre.Post Processor" 한국정보통신학회논문지. vol.10, no.5, 2006.
- [2] 신태환 외 1명. "뉴럴 네트워크의 뉴로모픽 하드웨어와 소프트웨어 공동설계" IEIE Jun. 2017
- [3] 김현진. "인공신경망 구현의 하드웨어 동향" ITFIND Nov. 2020
- [5] Y. S Chen, T. Krishna, J. Emer, and V. Sze. "Eyeriss: An Energy-Efficient Reconfigurable Accelerator for Deep ConVolutional Neural Networks" IEEE ISSCC 2016
- [6] Farhan Hussain. "Intelligent Image Processing with Deep Learning" Dissertation for the degree of doctor of philology Aug. 2015.
- [7] Meng-Chou Cheng. "Hardware accelerator for boosting convolution computation in image classification applications" 2017 IEEE 6thGlobalConference.Oct. 2017.
- [8] Francois Chollet, 케라스 창시자에게 배우는 딥러닝, 박해선, 길벗, 2018.